



Espacenet

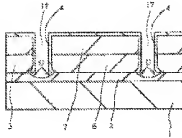
Bibliographic data: JP 6349940 (A)

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication date: 1994-12-22
 Inventor(s): WATANABE KUNIKO, HASHIMOTO TAKASHI 2
 Applicant(s): HITACHI LTD 2
 Classification: - International: H01L21/76, H01L21/762, H01L21/72 (PC1-7), H01L21/76, H01L21/72
 - European: H01L21/72
 Application number: JP19930542280 19930614
 Priority number(s): JP19930542280 19930614

Abstract of JP 6349940 (A)

PURPOSE To make the base of a U-shaped groove provided onto the surface of an SOI substrate in distortion as a result of residual crystal defects from occurring in a semiconductor integrated circuit device wherein the surface of the SOI substrate is isolated by insulation with a U-shaped groove for the formation of an element. **CONSTITUTION** When a silicon layer 3 and an epitaxial layer 1' formed on the surface of an SOI substrate are etched for the formation of an element isolating U-shaped groove 17 which reaches a lower silicon oxide film 2, the silicon oxide film 2 on the base of the U-shaped groove 17 is acceptably etched to provide an undercut U as an interface between the silicon oxide film 2 and the silicon layer 3. The undercut U serves to absorb and relax distortions generated at the base of the U-shaped groove 17 when a silicon oxide film is formed on the side face of the U-shaped groove 17 by thermally treating the SOI substrate.



Last updated: 20/02/2011
 Worldwide Database: 5/7/15/02p

特開平6-349940

(43)公開日 平成6年(1994)12月22日

(51)Int.Cl. ⁵ H 0 1 L 21/76 27/12	識別記号 L 9169-4M D 9169-4M F	庁内整理番号 F I	技術表示箇所
審査請求 未請求 請求項の数 6 O L (全 9 頁)			
(21)出願番号	特願平5-142280	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成 5 年 (1993) 6 月 14 日	(72)発明者	渡辺 邦彦 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72)発明者	橋本 尚 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 筒井 大和

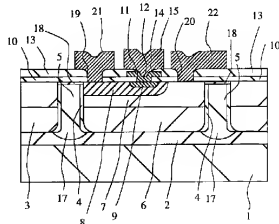
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 S O I 基板の表面をU溝で絶縁分離して素子を形成する半導体集積回路装置において、U溝の底部の歪みを緩和し、結晶欠陥の発生を抑制する。

【構成】 S O I 基板のシリコン層3およびエピタキシャル層7をエッチングして下層の酸化シリコン膜2に達する素子分離用のU溝17を形成する際、U溝17の底部の酸化シリコン膜2を等方性エッチングしてシリコン層3との界面にアンダーカット部Uを形成する。このアンダーカット部Uは、S O I 基板を熱処理してU溝17の側面に酸化シリコン膜を形成する際にU溝17の底部で発生する歪みを吸収、緩和する。

図 1



2: 酸化シリコン膜

3: シリコン層

17: U溝

【特許請求の範囲】

【請求項1】 シリコン基板上に酸化シリコン膜を介してシリコン層を形成したSOI基板の前記シリコン層にU溝を形成し、前記U溝によって絶縁分離された前記シリコン層の活性領域に半導体素子を形成する半導体集積回路装置の製造方法であって、前記シリコン層をエッチングしてその下層の前記酸化シリコン膜に達するU溝を開孔する際、前記U溝の底部の前記酸化シリコン膜をアンダーカットすることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記U溝の底部の前記酸化シリコン膜をアンダーカットした後、前記U溝の側面に熱酸化膜を形成し、次いで前記U溝の内部に多結晶シリコン膜を埋め込むことを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 前記酸化シリコン膜のアンダーカット量を、前記U溝の側面に形成する前記熱酸化膜の膜厚と同等ないし2倍以上とすることを特徴とする請求項2記載の半導体集積回路装置の製造方法。

【請求項4】 前記U溝の底部の前記酸化シリコン膜をアンダーカットした後、前記U溝の内部に第2の酸化シリコン膜を埋め込み、前記U溝の底部の前記第2の酸化シリコン膜中に空洞を形成することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項5】 前記シリコン基板と前記酸化シリコン膜との間に前記酸化膜を形成したSOI基板を用いることを特徴とする請求項1、2、3または4記載の半導体集積回路装置の製造方法。

【請求項6】 シリコン基板上に酸化シリコン膜を介してシリコン層を形成したSOI基板の前記シリコン層にU溝を形成し、前記U溝によって絶縁分離された前記シリコン層の活性領域に半導体素子を形成する半導体集積回路装置の製造方法であって、前記シリコン層をエッチングしてその下層の前記酸化シリコン膜に達する逆テーパー状のU溝を開孔した後、前記U溝の内部に第2の酸化シリコン膜を埋め込み、前記U溝の底部の前記第2の酸化シリコン膜中に空洞を形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特にSOI (Silicon on insulator) 構造を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路の高速化、高集積化を目指してデバイスの寄生容量低減、 α 線ソフトエラー耐性向上等の素子特性改善を図るため、SOI基板を用いて集積回路を形成する技術が実用化されつつある。

【0003】 このSOI基板を用いてバイポーラ型集積

回路装置を構成した例が、たとえば「ECS (Electro Chemical Society) '91 Fall Meeting」の Extended Abstract, P.744 に記載されている。このバイポーラ型集積回路装置は、図17に示すような、支持基板となる下層のシリコン基板1の表面に絶縁膜となる酸化シリコン膜2を形成し、さらにその上に単結晶のシリコン層3を形成したものをSOI基板に用いている。

【0004】 上記シリコン層3は埋込み層として構成され、n型の不純物が導入される。バイポーラトランジスタ等の素子は、このシリコン層3の上に成長させたエピタキシャル層7の表面に形成され、酸化シリコン膜2まで達する深いU溝17によって互いに絶縁分離される。このU溝17の内部には熱酸化で形成された酸化シリコン膜（熱酸化膜）を介して多結晶シリコン膜が埋め込まれる。

【0005】

【発明が解決しようとする課題】 ところが、SOI基板の表面をU溝で絶縁分離して素子を形成する上記の従来技術には、次のような問題がある。

【0006】 SOI基板にU溝を形成するには、エピタキシャル層とその下層のシリコン層とをエッチングして酸化シリコン膜に達する深い溝を形成した後、この溝の側面に熱酸化膜を形成し、次に、この溝に多結晶シリコン膜を埋め込んでその表面をエッチバックにより平坦化し、最後にこの多結晶シリコン膜の表面に熱酸化膜を形成するという方法が用いられる。

【0007】 ところが、図18に拡大して示すように、U溝17の側面に熱酸化膜4を形成すると、溝の底部の酸化シリコン膜2とその上層のシリコン層3との界面（同図の矢印で示す領域）が、いわゆるバースビーク状に酸化されて体積膨張するため、この領域に歪が生じて転位等の結晶欠陥が発生し、これが素子にリークを発生させてデバイスの信頼性、製造歩留りを低下させる原因となる。

【0008】 この場合、U溝の側面の熱酸化膜の膜厚を薄くすることによって歪を低減し、結晶欠陥の発生を抑制することも可能ではあるが、このようにすると、U溝に埋め込んだ多結晶シリコン膜とその周囲のシリコン層やエピタキシャル層との間の寄生容量が増大するため、素子の動作速度が低下するという問題が生じる。

【0009】 また、U溝に埋め込む材料を多結晶シリコン膜に代えて、例えば酸化シリコン膜等の絶縁材料にすれば、U溝の側面に熱酸化膜を形成しなくても寄生容量の増大を防止することはできるが、この場合は、U溝に埋め込んだ酸化シリコン膜とその周囲のシリコン層やエピタキシャル層との間の熱膨張係数が大きく違ふために、その後の工程で高温の熱処理を行うと結晶欠陥が発生するという問題が生ずる。

【0010】 本発明の目的は、SOI基板の表面をU溝で絶縁分離して素子を形成する半導体集積回路装置にお

いて、素子の特性を劣化させることなくU溝の結晶欠陥を低減することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】(1).請求項1記載の発明は、SOI基板のシリコン層をエッチングしてその下層の酸化シリコン膜に達する素子分離用のU溝を開孔する際、このU溝の底部の酸化シリコン膜をアンダーカットするものである。

【0014】(2).請求項4記載の発明は、前記U溝の底部の酸化シリコン膜をアンダーカットした後、U溝の内部に第2の酸化シリコン膜を埋め込み、U溝の底部の第2の酸化シリコン膜中に空洞を形成するものである。

【0015】(3).請求項5記載の発明は、SOI基板のシリコン基板と酸化シリコン膜との間に耐酸化膜を形成するものである。

【0016】(4).請求項6記載の発明は、SOI基板のシリコン層をエッチングしてその下層の酸化シリコン膜に達する逆テーパー状のU溝を開孔した後、このU溝の内部に第2の酸化シリコン膜を埋め込み、U溝の底部の第2の酸化シリコン膜中に空洞を形成するものである。

【0017】

【作用】上記した手段(1)によれば、U溝の底部の酸化シリコン膜をアンダーカットすることにより、その後、U溝の側面に熱酸化膜を形成する際、このU溝の底部の酸化シリコン膜とその上層のシリコン層との界面がアンダーカットにより生じた空間方向へ体積膨張するため、この領域の歪が緩和され、転位等の結晶欠陥の発生が抑制される。

【0018】また、U溝の側面に熱酸化膜を形成する手段に代えて、酸化シリコン膜等の絶縁膜を埋め込む場合でも、この絶縁膜とその周囲のシリコン層やエピタキシャル層との間の熱膨張係数に相違に起因して生じる歪みがアンダーカットにより生じた空間の存在によって緩和されるので、結晶欠陥の発生が抑制される。

【0019】上記した手段(2)によれば、U溝の底部の酸化シリコン膜中に形成した空洞がこの酸化シリコン膜とその周囲のシリコン層やエピタキシャル層との間の熱膨張係数の差によって生じる歪みを吸収、緩和するため、結晶欠陥の発生が抑制される。

【0020】上記した手段(3)によれば、SOI基板のシリコン基板と酸化シリコン膜との間に耐酸化膜を設けておくことにより、U溝の底部でシリコン基板の表面が酸化されて体積膨張を引き起こすことがないので、この体積膨張に起因する歪みの発生を防止することができる。

【0021】上記した手段(4)によれば、U溝を逆テ-

ーパー状に開孔することにより、U溝の底部の酸化シリコン膜をアンダーカットしなくとも、U溝に埋め込んだ第2の酸化シリコン膜の底部に容易に空洞を形成することができる。

【0022】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。

【0023】(実施例1)図1は、本実施例により製造されたバイポーラ型集積回路装置の一例を示すSOI基板の要部断面図である。

【0024】SOI基板は、支持基板となる下層のシリコン基板1と、その表面に形成された膜厚1 μ m程度の酸化シリコン膜2と、さらにその上に形成されたシリコン層3とで構成されている。このシリコン層3は、n型の不純物を導入した単結晶シリコンからなり、その一部はバイポーラトランジスタのn⁺埋込み層6を構成している。このn⁺埋込み層6の上には、バイポーラトランジスタのコレクタ領域を構成するn型のエピタキシャル層7が形成されている。

【0025】上記シリコン層3およびエピタキシャル層7には、酸化シリコン膜2に達する素子分離用の深いU溝17が形成されている。このU溝17の内部の側面には膜厚100nm程度の薄い酸化シリコン膜(熱酸化膜)4が形成され、その内面には多結晶シリコン膜5が埋め込まれている。この多結晶シリコン膜5の表面(U溝17の開孔部)には、薄い酸化シリコン膜(熱酸化膜)18が形成されている。本実施例のU溝17は、その底部の前記酸化シリコン膜2を後述する方法でアンダーカットしているのが特徴である。

【0026】上記U溝17によって周囲を囲まれたエピタキシャル層7の表面には、バイポーラトランジスタのベース領域を構成するp型半導体領域8が形成され、このp型半導体領域8の表面の一部には、バイポーラトランジスタのエミッタ領域を構成するn型半導体領域9が形成されている。

【0027】上記n型半導体領域9には絶縁膜10を開孔して形成した接続孔11を介してn型多結晶シリコン膜(エミッタ引出し電極)12が接続されている。また、このn型多結晶シリコン膜12には、絶縁膜13を開孔して形成した接続孔14を通じてメタル配線15が接続されている。同様に、前記ベース領域を構成するp型半導体領域8およびコレクタ領域を構成するエピタキシャル層7のそれぞれには、上記絶縁膜10、13を開孔して形成した接続孔19、20を通じてメタル配線21、22が接続されている。

【0028】次に、本実施例による上記U溝17の製造方法を図2～図7を用いて説明する。

【0029】まず、シリコン基板1と酸化シリコン膜2とシリコン層3とで構成されたSOI基板を用意し、このSOI基板のシリコン層3にn型の不純物を導入して

n⁺埋込み層6を形成した後、その上にn型のエビタキシャル層7を成長させる。次に、このエビタキシャル層7およびシリコン層3を順次エッチングして酸化シリコン膜2に達するU溝17を形成する。このとき、エッチングの最終段階、すなわちU溝17の底部に酸化シリコン膜2が露出し始めたときに、フッ酸などの等方性エッチング液を使って酸化シリコン膜2の表面を等方的にエッチングし、U溝17の底部の酸化シリコン膜2とシリコン層3との界面にアンダーカット部U（図2の矢印で示す箇所）を形成する。

【0030】次に、図3に示すように、SOI基板を熱処理してU溝17の側面に酸化シリコン膜4を形成する。この酸化シリコン膜4は、U溝17に埋め込む多結晶シリコン膜5とその周囲のシリコン層3やエビタキシャル層7との間の寄生容量が増大しないよう、例えば100nm以上の膜厚で形成する。前記アンダーカット部Uのアンダーカット量は、U溝17の底部の歪を緩和するために、上記酸化シリコン膜4の膜厚と比較して大きい程よいが、実用的にはそれと同等以上、好ましくは2倍（200nm）以上とすることが望ましい。

【0031】但し、このアンダーカット量が過ぎると、U溝17の底部の酸化シリコン膜2（図3の矢印で示す箇所）が必要以上にエッチングされてその膜厚が薄くなるため、SOI基板を熱処理してU溝17の側面に酸化シリコン膜4を形成する際、U溝17の底部でシリコン基板1の表面が酸化されて体積膨張を引起し、歪みが発生してしまう。

【0032】従って、アンダーカット後にU溝17の底部に残存する酸化シリコン膜2の膜厚が、U溝17の側面の酸化シリコン膜4の膜厚の概ね2倍（200nm）以上となるように設定することが望ましい（本実施例では800nm）。あるいは、図4に示すような、シリコン基板1と酸化シリコン膜2との間に酸化シリコン膜16のような耐酸化膜を設けたSOI基板を用いてもよい。このようなSOI基板を用いると、酸化シリコン膜2のアンダーカット量を多くしても、酸化シリコン膜16はエッチングされないため、U溝17の底部でシリコン基板1の表面が酸化されることはない。

【0033】次に、図5に示すように、エビタキシャル層7の上にCVD法で多結晶シリコン膜5を堆積してU溝17に埋め込んだ後、図6に示すように、多結晶シリコン膜5の表面をエッチバックにより平坦化し、さらに、図7に示すように、SOI基板を熱処理してU溝17の側孔部の多結晶シリコン膜5の表面に酸化シリコン膜18を形成することにより、素子分離用のU溝17が完成する。

【0034】その後は、パイボラ型集積回路の通常の製造プロセスに従って、上記U溝17で囲まれたエビタキシャル層7の活性領域に前記図1に示すパイボラトランジスタを形成する。

【0035】（実施例2）本実施例によるU溝の製造方法を図8～図11を用いて説明する。

【0036】まず、前記実施例1と同様のSOI基板を用い、シリコン層3の上にエビタキシャル層7を形成した後、図8に示すように、このエビタキシャル層7およびシリコン層3を順次エッチングして酸化シリコン膜2に達するU溝17を形成する。このとき、前記実施例1と同様の方法でU溝17の底部の酸化シリコン膜2とシリコン層3との界面にアンダーカット部Uを形成する。

【0037】次に、エビタキシャル層7の上に酸化シリコン膜23を堆積してU溝17に埋め込んだ後、図9に示すように、この酸化シリコン膜23の表面をエッチバックにより平坦化する。このとき、酸化シリコン膜23を低圧CVD法で堆積することにより、U溝17の底部に酸化シリコン膜23で埋まらない空洞24が形成される。その後、前記実施例1と同様に、パイボラ集積回路の通常の製造プロセスに従って、上記U溝17で囲まれたエビタキシャル層7の活性領域にパイボラトランジスタを形成する。

【0038】上記の空洞24を良好に形成するためには、酸化シリコン膜2のアンダーカット量をU溝17の内径と同等以上にすることが望ましい。あるいは、図10に示すように、酸化シリコン膜2を異方性エッチングしてU溝17を深く形成し、その後、図11に示すように、等方性エッチングでアンダーカット部Uを形成することにより、アンダーカット量を大きくしなくても空洞24を良好に形成することができる。

【0039】このように、本実施例では、U溝17の側面に熱酸化膜を形成しないので、この熱酸化膜の形成に伴う歪みの発生を防止することができ、かつU溝17の内部に絶縁膜（酸化シリコン膜23）を埋め込むので、寄生容量の増大を防止し、素子の高速動作を実現することができる。

【0040】また、U溝17に埋め込んだ酸化シリコン膜23とその周囲のシリコン層3やエビタキシャル層7との間の熱膨張係数の相違に起因して発生する歪みを空洞24によって緩和することができるので、その後の工程で高温の熱処理を行っても結晶欠陥が発生し難い。

【0041】（実施例3）本実施例では、前記実施例1と同様のSOI基板を用い、シリコン層3およびエビタキシャル層7をエッチングして酸化シリコン膜2に達するU溝17を形成するが、このとき、図12に示すように、U溝17の断面が逆テーパー（オーバハング状）になるような条件でエッチングを行う。

【0042】その後、前記実施例2と同様に、酸化シリコン膜23を低圧CVD法で堆積し、図13に示すように、U溝17の底部に酸化シリコン膜23で埋まらない空洞24を形成する。

【0043】本実施例によれば、U溝17を逆テーパー状

に開孔することにより、その底部の酸化シリコン膜にアンダーカット部を設けなくとも容易に空洞24を形成することができるので、より少ない製造工程で前記実施例2と同様の効果を得ることができる。

【0044】(実施例4)前記実施例1〜3では、バイポーラ型集積回路装置の製造方法に適用した例を説明したが、これに限定されるものではなく、SOI基板のU溝で囲まれた活性領域に素子を形成するMOS型集積回路やバイポーラ-CMOS型集積回路等の製造方法にも適用することができる。

【0045】一例として、本発明をMOS型集積回路の製造方法に適用した例を図14〜図16を用いて説明する。

【0046】まず、図14に示すように、支持基板となる下層のシリコン基板1と、その表面に形成された酸化シリコン膜2と、さらにその上に形成されたシリコン層3とで構成されたSOI基板を用意し、シリコン層3をエッチングして酸化シリコン膜2に達するU溝17を形成する。このとき、前記実施例1と同様に、フッ酸などの等方性エッチング液を使って酸化シリコン膜2の表面を等方的にエッチングし、U溝17の底部の酸化シリコン膜2とシリコン層3との界面にアンダーカット部18を形成する。

【0047】次に、図15に示すように、SOI基板を熱処理してU溝17の側面に酸化シリコン膜4を形成した後、CVD法を使ってU溝17の内部に酸化シリコン膜23を埋め込み、その表面をエッチバックで平坦化する。

【0048】その後、図16に示すように、MOS型集積回路の通常の製造プロセスに従って、上記U溝17で囲まれたシリコン層3の活性領域にMOSFETの半導体領域(ソース領域、ドレイン領域)25、ゲート絶縁膜26およびゲート電極27を形成する。

【0049】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0051】(1)本発明によれば、U溝の底部の酸化シリコン膜をアンダーカットすることにより、その後、U溝の側面に熱酸化膜を形成する際、このU溝の底部の酸化シリコン膜とその上層のシリコン層との界面がアンダーカットにより生じた空間方向へ体積膨張するため、この領域の歪が緩和され、転位等の結晶欠陥の発生が抑制される。

【0052】また、U溝の側面に熱酸化膜を形成する手段に代えて、酸化シリコン膜等の絶縁膜を埋め込む場合

でも、この絶縁膜とその周囲のシリコン層やエピタキシャル層との間の熱膨張係数に相違に起因して生じる歪みがアンダーカットにより生じた空間の存在によって緩和されるので、結晶欠陥の発生が抑制される。

【0053】(2)本発明によれば、U溝に埋め込んだ絶縁膜の底部に空洞を形成することにより、U溝に生じた歪みがこの空洞によって吸収、緩和されるので、前記同様の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明により製造されたバイポーラ型集積回路装置の一例を示すSOI基板の要部断面図である。

【図2】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図3】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図4】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図5】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図6】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図7】本発明の一実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図8】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図9】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図10】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図11】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図12】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図13】本発明の他の実施例であるU溝の製造方法を示すSOI基板の要部断面図である。

【図14】本発明のU溝を適用したMOS型集積回路装置の製造方法の一例を示すSOI基板の要部断面図である。

【図15】本発明のU溝を適用したMOS型集積回路装置の製造方法の一例を示すSOI基板の要部断面図である。

【図16】本発明のU溝を適用したMOS型集積回路装置の製造方法の一例を示すSOI基板の要部断面図である。

【図17】従来のU溝を使ったバイポーラ型集積回路装置を示すSOI基板の要部断面図である。

【図18】図17の要部拡大断面図である。

【符号の説明】

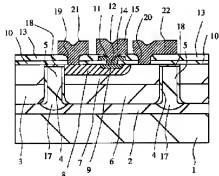
- 1 シリコン基板
- 2 酸化シリコン膜

- 3 シリコン層
- 4 酸化シリコン膜(熱酸化膜)
- 5 多結晶シリコン膜
- 6 n^+ 埋込み層
- 7 エピタキシャル層
- 8 p型半導体領域(ベース領域)
- 9 n型半導体領域(エミッタ領域)
- 10 絶縁膜
- 11 接続孔
- 12 n型多結晶シリコン膜(エミッタ引出し電極)
- 13 絶縁膜
- 14 接続孔
- 15 メタル配線

- 16 窒化シリコン膜
- 17 U溝
- 18 酸化シリコン膜(熱酸化膜)
- 19 接続孔
- 20 接続孔
- 21 メタル配線
- 22 メタル配線
- 23 酸化シリコン膜
- 24 空洞
- 25 半導体領域(ソース領域、ドレイン領域)
- 26 ゲート絶縁膜
- 27 ゲート電極
- U アンダーカット部

【図1】

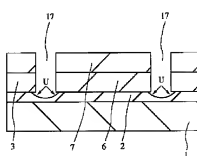
図 1



- 2: 酸化シリコン膜
- 3: シリコン層
- 17: U溝

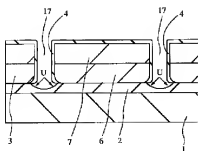
【図2】

図 2



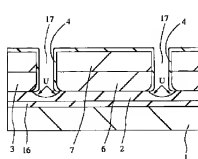
【図3】

図 3



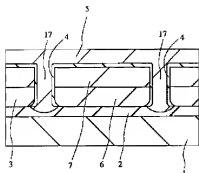
【図4】

図 4



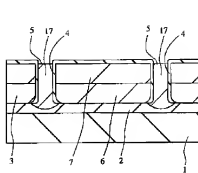
【図5】

図 5



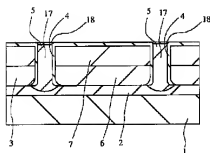
【図6】

図 6



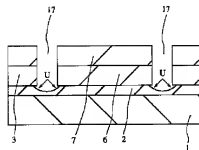
【図7】

図 7



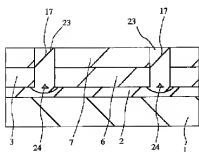
【図8】

図 8



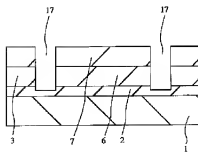
【図9】

図 9



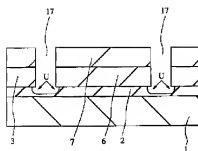
【図10】

図 10



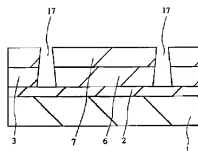
【図11】

図 11



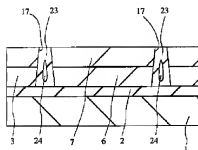
【図12】

図 12



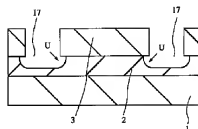
【図13】

図 13



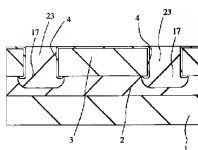
【図14】

図 14



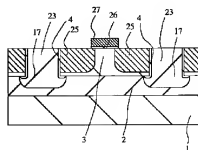
【図15】

図 15



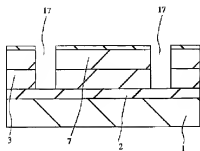
【図16】

図 16



【図17】

図 17



【図18】

図 18

